

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-017619

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

H01L 23/12

(21)Application number : 2002-121900

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 24.04.2002

(72)Inventor : FURUYA HIRONORI
IGUCHI AKIHISA
ARAI KENTARO

(30)Priority

Priority number : 2001132335

Priority date : 27.04.2001

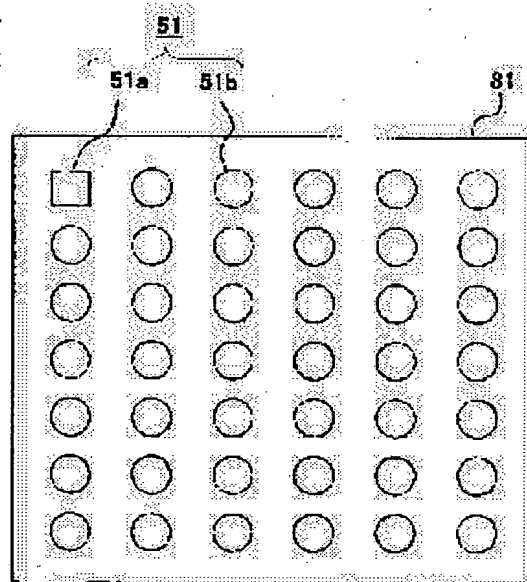
Priority country : JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of simplifying a step of imparting an index mark and preventing releasing or the like, and to provide a method for manufacturing the semiconductor device.

SOLUTION: The semiconductor device comprises a semiconductor wafer 1 having a main surface formed with a circuit element, a plurality of electrode pads formed above the main surface of the wafer and electrically connected to the element, a sealing resin 3 for sealing an upper part of the main surface of the wafer, and a plurality of external connecting terminals formed above the main surface so as to protrude from the surface of the sealing resin as the external connecting terminals 51 arranged substantially regularly at a predetermined interval. In this case, a shape of at least one external connecting terminal of the plurality of the terminals is different from that of other external connecting terminal. Since the shape of the external connecting terminal can be utilized as the index mark, the step of imparting the mark can be simplified, its release can be prevented or the like.



LEGAL STATUS

[Date of request for examination]

02.07.2002

[Date of sending the examiner's decision of rejection]

27.08.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-18127

[Date of requesting appeal against examiner's decision of rejection] 18.09.2003

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

?

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)].

[Claim 1] The semi-conductor substrate which has the main front face in which the circuit element was formed, and two or more electrode pads which were formed in the main surface upper part of said semi-conductor substrate, and were connected to said circuit element and electric target, So that it may project from the front face of the closure resin which closes the main surface upper part of said semi-conductor substrate, and said closure resin In the semiconductor device which has said external connection terminal which are two or more external connection terminals formed in said main surface upper part, and was substantially arranged regularly at the predetermined spacing The semiconductor device characterized by differing the configuration of the external connection terminal of at least 1 from the

configuration of other external connection terminals among said two or more external connection terminals.

[Claim 2] The external connection terminal with which said configurations differ is a semiconductor device according to claim 1 characterized by being either of the external connection terminals which is located near the 4 corners of said semi-conductor substrate among said two or more external connection terminals.

[Claim 3] The external connection terminal with which said configurations differ is a semiconductor device according to claim 1 characterized by being either other than the external connection terminal near the center of said semi-conductor substrate among said two or more external connection terminals.

[Claim 4] The external connection terminal with which said configurations differ is a semiconductor device according to claim 1 characterized by being the external connection terminal which formed said two or more external connection terminals in one.

[Claim 5] claim 1 characterized by arranging substantially said two or more external connection terminals in the shape of a matrix in the main surface upper part of said semi-conductor substrate thru/or 4 -- a semiconductor device given in either.

[Claim 6] The semi-conductor substrate which has the main front face in which the circuit element which has a

predetermined function was formed, Two or more electrode pads which were formed in the main surface upper part of said semi-conductor substrate, and were connected to said circuit element and electric target, So that it may project from the front face of the closure resin which closes the main surface upper part of said semi-conductor substrate, and said closure resin The semiconductor device characterized by differing the color of the side face of at least 1 of said semiconductor device from the color of other side faces in the semiconductor device which has said external connection terminal which are two or more external connection terminals formed in said main surface upper part, and was substantially arranged regularly at the predetermined spacing.

[Claim 7] The manufacture approach of a semiconductor device characterized by giving the information which shows the direction of said semiconductor device to the rear face of said wafer in the phase before cutting down each semiconductor device from said wafer in the manufacture approach of the semiconductor device manufactured by cutting down each semiconductor device from said wafer after closing a semiconductor device in the state of a wafer.

[Claim 8] The manufacture approach of a semiconductor device according to claim 7 characterized by giving said information

two or more to one semiconductor device.

[Claim 9] Said information is the manufacture approach of a semiconductor device according to claim 7 or 8 characterized by being the notation which shows the direction of [at the time of mounting said semiconductor device in a mounting substrate].

[Claim 10] Said notation is the manufacture approach of the semiconductor device according to claim 9 characterized by consisting of a segment which has the starting point and a terminal point, and a mark which shows the terminal point added to said terminal point.

[Claim 11] Said notation is the manufacture approach of the semiconductor device according to claim 10 characterized by being an arrow head.

[Claim 12] The semi-conductor substrate which has the 1st main front face in which the circuit element was formed, and the 2nd main front face which counters said 1st main front face substantially, The semiconductor device characterized by having the direction distinction mark which was formed in said 1st main surface upper part, consisted of a segment which has two or more external terminals connected to said circuit element and electric target, and the starting point and a terminal point, and a terminal point mark added to said terminal point, and was formed on said 2nd main front face.

[Claim 13] Said direction distinction mark is a semiconductor device according to claim 12 characterized by forming more than one on said 2nd main front face.

[Claim 14] Said direction distinction mark is a semiconductor device given in either of claims 12 or 13 characterized by being an arrow head.

[Claim 15] The 1st main front face and the 2nd main front face which counters said 1st main front face substantially, The process for which the semiconductor wafer which has two or more semiconductor device formation sections divided by two or more scribe lines is prepared, The process which forms a circuit element in said 1st main front face of said semiconductor device formation section, The process which forms in said 1st main surface upper part of said semiconductor device formation section two or more external terminals connected to said circuit element and electric target, The manufacture approach of the semiconductor device characterized by having the process which forms in said 2nd main front face the information which shows the direction of a semiconductor device, and the process which obtains said semiconductor device by carrying out grinding of said scribe line, and piece[of an individual]-izing said each semiconductor device formation section.

[Claim 16] The information which shows

the direction of said semiconductor device is the manufacture approach of the semiconductor device according to claim 15 characterized by being formed two or more to said one semiconductor device formation section.

[Claim 17] Said information is the manufacture approach of the semiconductor device according to claim 16 characterized by being the notation which shows the direction of [at the time of mounting said semiconductor device in a mounting substrate].

[Claim 18] Said notation is the manufacture approach of the semiconductor device according to claim 17 characterized by consisting of a segment which has the starting point and a terminal point, and a mark which shows the terminal point added to said terminal point.

[Claim 19] Said notation is the manufacture approach of the semiconductor device according to claim 18 characterized by being an arrow head.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]

[Field of the Invention] This invention is the technique of having the description in the structure of information (an index

mark is called hereafter) which a chip-size package (Chip Size Package:CSP) and its manufacture approach are started, and shows the mounting direction over a mounting substrate, and the direction of the package itself especially, such as an alphabetic character and a notation.

[0002]

[Description of the Prior Art] There is a technique which is almost the same as a semiconductor chip (bare chip), or made magnitude of the package of a semiconductor device the slightly large dimension as a technique for realizing high-density mounting on the mounting substrate of a semiconductor device and which is called a chip-size package (Chip SizePackage:CSP). It can make into a slightly large dimension whether to be almost the same as a semiconductor chip in the magnitude of the package-ized semiconductor device by arranging the connection terminal (external connection terminal) to a mounting substrate in a grid configuration at the principal plane (circuit forming face) of the semiconductor chip of an abbreviation square configuration. According to such a chip-size package, while the component-side product of a semiconductor device to a mounting substrate becomes small, the wire length which ties the electrode and external connection terminal on a semiconductor chip can become short, and can raise the

working speed of a semiconductor device. [0003] Moreover, the technique (the wafer level CSP is called hereafter) which package-izes a semiconductor device with a wafer condition is also proposed. The wafer level CSP is the phase before cutting down each semiconductor chip from a wafer, and is the technique of performing the package-ization. According to the wafer level CSP, since a package process can be made into a wafer process and one, there is an advantage that a manufacturing cost can be lowered substantially.

[0004] An index mark is given to a semiconductor device. This index mark is a mark to show the mounting direction of the semiconductor device to a mounting substrate. In a semiconductor device like the wafer level CSP, generally, this index mark is arranged at the rear-face (circuit agensis side) side of a semiconductor device, and can distinguish now the mounting direction of a semiconductor substrate visually in the case of mounting of a semiconductor device to a mounting substrate.

[0005]

[Problem(s) to be Solved by the Invention] However, in the index-mark method of presentation in the conventional technique, in order to give an index mark for each semiconductor device of every, there were the following troubles.

** Adjustment of the physical

relationship of an index mark and a semiconductor device is needed for every semiconductor device. The process which a throughput is restricted and gives an index mark by this is needed.

** The case where it cannot fall and distinguish will occur, and when an index mark is formed using ink or a laser beam, in the case of ink, it separates, when it is a laser beam, a laser beam will penetrate a silicon layer, and an internal circuit pattern will be degraded.

** If the size of a semiconductor device becomes small, adjustment of the relation between a semiconductor device and the location of an index mark will become difficult. Moreover, an index mark also becomes small and the mounting direction cannot be easily distinguished in the case of mounting to a mounting substrate.

[0006] This invention is made in view of the above-mentioned trouble which the conventional semiconductor device has, and the object of this invention is a thing which can attain simplification of the process which gives an index mark and for which the manufacture approach of new, the improved semiconductor device, and a semiconductor device is offered.

[0007] Moreover, another object of this invention is a thing which can prevent balking of an index mark, and degradation of a circuit pattern and for which the manufacture approach of new, the improved semiconductor device, and a

semiconductor device is offered.

[0008] Moreover, another object of this invention is a thing which physical relationship of a dimension and an index mark can be adjusted easily, and can distinguish the mounting direction easily in the case of mounting to a mounting substrate and for which the manufacture approach of new, the improved semiconductor device, and a semiconductor device is offered, even if the size of a semiconductor device becomes small.

[0009]

[Means for Solving the Problem] The semi-conductor substrate which has the main front face in which the circuit element was formed according to the 1st viewpoint of this invention in order to solve the above-mentioned technical problem, Two or more electrode pads which were formed in the main surface upper part of a semi-conductor substrate, and were connected to the circuit element and the electric target, So that it may project from the front face of the closure resin which closes the main surface upper part of a semi-conductor substrate, and closure resin In the semiconductor device which has the external connection terminal which are two or more external connection terminals formed in the main surface upper part, and was substantially arranged regularly at the predetermined spacing The semiconductor device characterized by differing the

configuration of the external connection terminal of at least 1 from the configuration of other external connection terminals among two or more external connection terminals is offered.

[0010] According to this semiconductor device, the configuration of an external connection terminal can be used as an index mark. For this reason, there is the following outstanding effectiveness.

** Since the process itself which gives an index mark becomes unnecessary, the positioning activity for doubling an index mark with the location of each semiconductor device becomes unnecessary.

** Since the configuration of an external connection terminal is used as an index mark, unlike the conventional technique which formed the index mark using ink, it is avoidable that an index mark secedes from a semiconductor device. Moreover, unlike the conventional technique which formed the index mark using the laser beam, degradation of the circuit pattern inside equipment can be prevented.

** One side (diameter) is 400-micrometer (0.4mm) extent, and the magnitude of an external connection terminal can recognize the configuration with the naked eye. For this reason, the mounting direction can be distinguished easily.

[0011] If the external connection terminal with which configurations differ is used as either of the external connection terminals which is located near the 4

corners of a semiconductor substrate, the mounting direction can be distinguished easily. However, what is necessary is not to consider as a part for four corners strictly, and just to prepare the external connection terminal with which configurations differ in the location which can distinguish the mounting direction, even if it is the circumference for four corners. Namely, the external connection terminals with which configurations differ should just be either other than the external connection terminal near a center among the external connection terminals substantially arranged regularly at the predetermined spacing. On terminal layout design, even if it is the case where an external connection terminal is not prepared in a part for four corners, the external connection terminal with which configurations differ can be prepared, and a degree of freedom increases to terminal layout design.

[0012] Moreover, it may have the function that two or more external connection terminals are the same, like the external connection terminal connected to a touch-down line. In such a case, it is also possible by forming the external connection terminal of these plurality in one to differ other external connection terminals and configurations and to use this as an index mark.

[0013] Moreover, the semiconductor substrate which has the main front face in which the circuit element which has a

predetermined function was formed according to other viewpoints of this invention in order to solve the above-mentioned technical problem, Two or more electrode pads which were formed in the main surface upper part of said semiconductor substrate, and were connected to said circuit element and electric target, So that it may project from the front face of the closure resin which closes the main surface upper part of said semiconductor substrate, and said closure resin In the semiconductor device which has said external connection terminal which are two or more external connection terminals formed in said main surface upper part, and was substantially arranged regularly at the predetermined spacing The semiconductor device characterized by differing the color of the side face of at least 1 of said semiconductor device from the color of other side faces is offered.

[0014] Since the index mark of each semiconductor device arranged up and down is in the side face of a semiconductor device in the actual condition even if it is the case where mounting which the technical trend which raises packaging density changed and multilayer-structure-ized is performed although the surface mounting of one layer is in use, in case it mounts to a mounting substrate, the mounting direction can be checked easily.

[0015] Moreover, according to the

viewpoint of further others of this invention, after closing a semiconductor device in the state of a wafer, in the manufacture approach of the semiconductor device manufactured by cutting down each semiconductor device from said wafer, the manufacture approach of a semiconductor device characterized by giving the information which shows the direction of said semiconductor device to the rear face of said wafer in the phase before cutting down each semiconductor device from said wafer is offered.

[0016] Since an index mark can be given on wafer level, positioning of the semiconductor device of each which had gone to accumulate which gives an index mark in the condition of having been piece[of an individual]-ized like before becomes unnecessary. And putting in pitch migration according to the magnitude of a semiconductor device, after justifying only the inclination of the circuit pattern currently formed in the interior of equipment, and one specific point, it can bundle up on wafer level and an index mark can be given. Therefore, large compaction of the processing time in the process which gives an index mark is possible.

[0017] In the above-mentioned manufacture approach, it is desirable that an index mark is given two or more to one semiconductor device. If an index mark small enough is adopted compared

with the magnitude of a semiconductor device and two or more index marks are given to one semiconductor device, without being caught by the location concept of a semiconductor device, it can bundle up on wafer level and an index mark can be given. Since positioning of a semiconductor device and an index mark becomes unnecessary, compaction of the further processing time is possible.

[0018] Furthermore, as for an index mark, it is desirable that it is the notation which shows the direction of [at the time of mounting a semiconductor device in a mounting substrate]. An index mark can be easily arranged also about the semiconductor device of the small size which cannot arrange the index mark which consists of an alphabetic character, and an index mark can be easily recognized also in the case of mounting to a mounting substrate.

[0019]

[Embodiment of the Invention] The gestalt of suitable implementation of the manufacture approach of of the semiconductor device and semiconductor device concerning this invention is explained to a detail, referring to an accompanying drawing below. In addition, in this description and a drawing, duplication explanation is omitted by ***** which attaches the same sign about the component which has the same functional configuration substantially. First, a general wafer level CSP

technique is explained, referring to drawing 1 - drawing 2.

[0020] (A) a copper pillar -- ***** -- the electronic circuitry (not shown) which has a predetermined function is formed in the principal plane (circuit forming face) of the semi-conductor wafer 1 of the usual wafer process. Then, the insulator layer 13 which has opening (not shown) is formed in the principal plane upper part. Then, wiring (not shown) which connects the electrode pad 14, and this electrode pad 14 and electronic circuitry is formed. The electrode pad 14 is formed on an insulator layer 13. Next, an insulator layer 15 is formed all over the principal plane top of the semi-conductor wafer 1. By a photolithography techniques, opening which exposes a part of front face of the electrode pad 14 is formed in an insulator layer 15. Next, wiring 16 is formed on the exposed electrode pad 14 front face and an insulator layer 15. Next, a resist is applied all over the principal plane top of the semi-conductor wafer 1. Opening of a predetermined configuration is formed in a resist by a photolithography techniques. This opening is located on the front face of wiring 16. Then, the copper post 2 which consists of copper is formed by electroplating in opening prepared in the resist. This copper post 2 is seen from the upper part of a semiconductor device, and is arranged in the shape of a grid (letter of a matrix). This copper post 2 functions

as wiring for connecting electrically the electrode pad 14 and wiring 16 which were formed on the semi-conductor wafer 1, and the external connection terminal 5 formed on the copper post 2 at an after process. In addition, about the pattern of the resist for forming the copper post 2, it mentions later further. (Drawing 1 (A)).

[0021] (B) Fill up closure resin 3 with the resin seal following ** for the copper post 2 to the whole surface of the principal plane of the semi-conductor wafer 1 to wrap height thoroughly (drawing 1 (B)). Restoration of closure resin 3 is performed by the transfer mold method, the potting method, print processes, etc.

[0022] (C) Carry out grinding of the front face of closure resin 3 by the abrasive material 4 until the top face of each copper post 2 buried in closure resin 3 is exposed by the resin grinding following ** (drawing 1 (C)).

[0023] (D) external connection terminal type ** -- subsequently to the top face of the copper post 2, form the external connection terminal 5 in the shape of a grid (letter of a matrix) by performing the following processes. This external connection terminal 5 functions as a terminal which connects electrically wiring on the mounting substrate with which the piece[of an individual]-ized semiconductor device and a semiconductor device are mounted separately. First, the metal mask for forming the external connection terminal

5 is prepared. This metal mask has two or more openings corresponding to arrangement of the copper post 2 so that the external connection terminal 5 can be formed in the top face of the copper post 2. Subsequently, a metal mask is laid on the front face of closure resin 3 so that it may be located in the copper post 2 upper part where two or more openings correspond. Then, the external connection terminal 5 is formed by slushing soldering paste throughout this metal mask (drawing 1 (D)). In addition, on closure resin 3, soldering paste can form the external connection terminal 5 in the top face of the copper post 2, even if alignment of opening of a metal mask and the top face of the copper post 2 is not performed strictly, in order not to fix. For this reason, strict nature is not required of the configuration of the resist in (A) copper post formation process in the configuration of a metal mask. The semiconductor device of package-ized a large number is formed on the semi-conductor wafer 1 through the above process.

[0024] (E) By the piece-ized of individual following **, piece[of an individual]-ize to each semiconductor device 8 with the cutting cutting edge 7 which carries out a high-speed revolution after sticking the grinding tape 6 on the rear face (circuit agensis side) of the semi-conductor wafer 1 (drawing 1 (E)).

[0025] (F) The semiconductor device

[having pasted up on the shipment grinding tape 6] 8 is put on the wafer carrier 9, and it is set so that it may be located just under the pickup collet 10. And it thrusts up with the suction force of the vacuum connected to the pickup collet 10, and the pressure-from-below force by the device (needle-like pin) 12 separates a semiconductor device 8 from the grinding tape 6 (drawing 2 (F)). And after a product test is performed, embossing adhesion hole 11a of the embossing carrier tape 11 is loaded with each semiconductor device 8, and it is shipped as a product (drawing 2 R> 2 (G)).

[0026] In the above, the general wafer level CSP technique was explained. With the gestalt of each following operation, it explains focusing on a different process from each process of the general wafer level CSP technique mentioned above, and duplication explanation is omitted about other processes.

[0027] (Gestalt of the 1st operation) The gestalt of operation of the 1st of this invention is explained. Drawing 3 is the top view which looked at the semiconductor device 81 manufactured by the manufacture approach of the gestalt this operation from the principal plane side. The semiconductor device 81 is characterized by using the configuration of external connection terminal 51a for four corners for this external connection terminal 51a as an index mark which shows the mounting

direction of a semiconductor device 81 among the external connection terminals 51 arranged in the shape of a grid (letter of a matrix), unlike the configuration of other external connection terminal 51b.

[0028] Explanation of the formation approach of this external connection terminal 51 uses first the resist which has the pattern shown in drawing 3 as a resist for forming the copper post 2 in (A) copper post formation process. That is, among the copper posts 2 arranged in the shape of a grid (letter of a matrix), as shown in drawing 3, the pattern shown in drawing 3 is adopted as a pattern of a resist so that the configuration of the copper post for four corners can be formed as the configuration of other copper posts, and a different configuration. The resist pattern whose cross-section configuration of opening of the part corresponding to external connection terminal 51a is a square is used for a detail.

[0029] Furthermore, in (D) external connection terminal formation process, the metal mask of the pattern shown in drawing 3 is used as a metal mask for forming the external connection terminal 5. That is, as shown in drawing 3, the pattern which showed the configuration of external connection terminal 51a for four corners to drawing 3 R> 3 as a pattern of a metal mask among the external connection terminals 51 arranged in the shape of a grid (letter of a matrix) so that it might become the

configuration of other copper post 51b and a different configuration is adopted. The metal mask pattern whose cross-section configuration of opening of the part corresponding to external connection terminal 51a is a square is used for a detail.

[0030] In addition, in order not to fix on closure resin 3, even if, as for soldering paste, alignment of the opening location of a metal mask and the top face of the copper post 2 is not performed strictly, the configuration of the external connection terminal 51 becomes settled with the configuration of the top face of the copper post 2. For this reason, strict nature is not required of the configuration of opening of the resist in (A) copper post formation process in the configuration of opening of the metal mask in (D) external connection terminal formation process.

[0031] Moreover, what is necessary is just to be able to distinguish that the configurations of external connection terminal 51a of four corners differ, when a semiconductor device 81 is seen from a top face although soldering paste transforms some with the heat at the time of a reflow. Since the configuration where the semiconductor device 81 was seen from the top face is decided by the configuration of the base of the external connection terminal 51, i.e., the configuration of the top face of the copper post 2, some deformation of the soldering

paste at the time of a reflow does not affect using external connection terminal 51a as an index mark.

[0032] A semiconductor device 81 which shall be different from the configuration of other external connection terminal 51b in the configuration of external connection terminal 51a for four corners among the external connection terminals 51 arranged in the shape of a grid (letter of a matrix) is manufactured through the above process.

[0033] As explained above, according to the gestalt of this operation, the configuration of the external connection terminal 51 can be used as an index mark. For this reason, there is the following outstanding effectiveness.

** Since the process of the dedication for giving an index mark becomes unnecessary, the positioning activity for doubling an index mark with the location of each semiconductor device becomes unnecessary.

** Since the configuration of an external connection terminal is used as an index mark, unlike the conventional technique which formed the index mark using ink, it is avoidable that an index mark secedes from a semiconductor device. Moreover, unlike the conventional technique which formed the index mark using the laser beam, degradation of the circuit pattern inside equipment can be prevented.

** One side (diameter) is 400-micrometer (0.4mm) extent, and the magnitude of the

external connection terminal 5 can recognize the configuration with the naked eye. For this reason, the mounting direction can be distinguished easily.

[0034] (Gestalt of the 2nd operation) The gestalt of operation of the 2nd of this invention is explained. Drawing 4 is the top view which looked at the semiconductor device 82 manufactured by the manufacture approach of the gestalt this operation from the principal plane side. The semiconductor device 82 is characterized by to use the configuration of external connection terminal 52a other than the external connection terminal near a center (the field C in drawing) for this external connection terminal 52a as an index mark which shows the mounting direction of a semiconductor device 82 among the external connection terminals 52 arranged in the shape of a grid (letter of a matrix) unlike the configuration of other external connection terminal 52b.

[0035] In order to form the configuration of this external connection terminal 52, about the point using the resist of the pattern shown in drawing 4 in (A) copper post formation process, and the point using the metal mask of the pattern shown in drawing 4 in (D) external connection terminal formation process, it is the same as that of the case of the gestalt of implementation of the above 1st.

[0036] In order to use the external connection terminal with which

configurations differ as an index mark, what is necessary is just either other than the external connection terminal near [which does not have symmetric property] a center (the field C in drawing). According to this point and the gestalt of this operation, unlike the gestalt of implementation of the above 1st, the external terminal which functions as an index mark does not necessarily need to be prepared in a part for grid-like (letter of matrix) four corners. For this reason, on terminal layout design, even if it is the case where an external connection terminal is not prepared in a part for grid-like (letter of matrix) four corners, an index mark can be prepared and a degree of freedom arises in terminal layout design.

[0037] (Gestalt of the 3rd operation) The gestalt of operation of the 3rd of this invention is explained. Drawing 5 is the top view which looked at the semiconductor device 83 manufactured by the manufacture approach of the gestalt this operation from the principal plane side. The semiconductor device 83 is characterized by using this external connection terminal 53a as an index mark which shows the mounting direction of a semiconductor device 83 by forming in one the external connection terminal which adjoins the external connection terminal for four corners, and it among the external connection terminals 53 arranged in the shape of a

grid (letter of a matrix), and being referred to as one external connection terminal 53a.

[0038] Like the terminal prepared since it connects with an external connection terminal for example, on a touch-down line, it may be prepared for the function that two or more terminals are the same. In such a case, two external connection terminals can be combined and it can be referred to as one external connection terminal 53a. And the external connection terminal 53a can be used as an index mark by forming external connection terminal 53a from which this configuration differs.

[0039] In order to form the configuration of this external connection terminal 53, in the process shown in drawing 1 (A), two or more electrode pads (for example, electrode pad for supplying touch-down potential to an electronic circuitry) of the same function are mutually connected with the wiring 16 on an insulator layer 15. Then, the copper post 2 is formed using the resist which has opening of the cross-section configuration shown in drawing 5. That is, the copper post 2 is formed using a resist like drawing 5 which exposes the wiring 16 surface upper part corresponding to external connection terminal 53a used as an index mark, and the wiring 16 surface upper part corresponding to other external connection terminal 53b. Then, in the external connection terminal formation

process shown in drawing 1 (D), an external connection terminal is formed using the metal mask which has opening of the cross-section configuration shown in drawing 5. That is, an external connection terminal is formed using a metal mask like drawing 5 R> 5 which exposes the post3 surface upper part corresponding to external connection terminal 53a used as an index mark, and the post3 surface upper part corresponding to other external connection terminal 53b.

[0040] (Gestalt of the 4th operation) The gestalt of operation of the 4th of this invention is explained. Drawing 6 (A) is the perspective view of the semiconductor device 84 manufactured by the manufacture approach of the gestalt this operation. It is characterized by a semiconductor device 84 differing the color of side-face 84a of 1 from the color of other side-face 84b. Various information can be made to hold by combining existence, color, etc. of coloring.

[0041] In the shipment process of the (E) semiconductor device shown in drawing 2, coloring to the side face of a semiconductor device can be carried out, after the semiconductor device has been attracted by the pickup collet 10.

[0042] Although the surface mounting of one layer was in use as the mounting approach of a chip-size package, as the technical trend which raises packaging density changes and it was shown in

drawing 6 (B), the mounting direction can be checked easily [since the index mark of each semiconductor device arranged up and down is in the side face of a semiconductor device even if it is the case where multilayer-structure-ized mounting is performed / in case it mounts to a mounting substrate].

[0043] (Gestalt of the 5th operation) The gestalt of operation of the 5th of this invention is explained. Drawing 7 (A) is the top view which looked at the semi-conductor wafer 1 before piece[of an individual]-izing from the rear-face (circuit agenesis side) side in the manufacture approach of the gestalt this operation. With an example shown in drawing 7 (A), the field classified by the dotted line shows one semiconductor device. Drawing 7 (B) shows the semiconductor device 85 after being piece[of an individual]-ized. Thus, with the gestalt of this operation, as were shown in drawing 7 (A), and an index mark is given to the rear face of the semi-conductor wafer 1 in the phase of wafer level and it was shown in drawing 7 (B), it is characterized by arranging an index mark at each semiconductor device 85 after piece[of an individual]-izing.

[0044] With the gestalt of this operation, the information on the class of semiconductor device, the mounting direction of the semiconductor device to a mounting substrate, the direction of the semiconductor device itself, etc. is given

as an index mark by text (xxx ABCD) and the black dot at the lower left of [in drawing] the text.

[0045] As shown in drawing 7 (B), in order to give an index mark appropriately to the semiconductor device after being piece[of an individual]-ized, without carrying out a location gap, it is necessary to make it correspond to the size of each semiconductor device, and to give an index mark. In order to make text etc. correspond to each semiconductor device, the approach of positioning using the configuration (cage hula) of the semi-conductor wafer 1, the method of seeing through and positioning an internal pattern from the rear face of the semi-conductor wafer 1, etc. are employable.

[0046] And performing pitch migration according to the magnitude of each semiconductor device, after justifying only the inclination of the circuit pattern currently formed in the interior of equipment, and one specific point, it can bundle up on wafer level and an index mark can be given. Thus, since the index mark formed in a semiconductor device can be given on wafer level according to the gestalt of this operation, positioning with the equipment for giving each semiconductor device and index mark which give an index mark in the condition of having been piece[of an individual]-ized like before and which had gone to accumulate becomes

unnecessary. Therefore, large compaction of the processing time in the process which gives an index mark is possible.

[0047] (Gestalt of the 6th operation) The gestalt of operation of the 6th of this invention is explained. Drawing 8 (A) is the top view which looked at the semi-conductor wafer 1 before piece[of an individual]-izing from the rear-face (circuit agenesis side) side in the manufacture approach of the gestalt this operation. With an example shown in drawing 8 (A), the field classified by the dotted line shows one semiconductor device. Drawing 8 (B) shows the semiconductor device 86 after being piece[of an individual]-ized. Thus, with the gestalt of this operation, as were shown in drawing 8 (A), and an index mark is given to the rear face of the semi-conductor wafer 1 in the phase of wafer level and it was shown in drawing 8 (B), it is characterized by arranging an index mark at each semiconductor device 86 after piece[of an individual]-izing. It is the same as that of the gestalt of implementation of the above 5th at this point.

[0048] In the gestalt of this operation, characteristic one is in the point which made the index mark smaller enough than the magnitude of each semiconductor device 87. That is, even if it is the case where an index mark is given to the rear face of the semi-conductor wafer 1, without

performing relative positioning of each semiconductor device 86 (field divided by the dotted line in drawing 8 (A)), and an index mark, the magnitude of an index mark is set as the magnitude of extent by which at least one index mark is given to each semiconductor device.

[0049] As mentioned above, according to the gestalt of this operation, by giving two or more index marks to one semiconductor device 86, it is not caught by the location concept of a semiconductor device, but an index mark is arranged and the thing of it can be carried out. Moreover, after piece[of an individual]-izing of a semiconductor device can grasp the information which is needed for each semiconductor device by at least one index mark being arranged.

[0050] (Gestalt of the 7th operation) The gestalt of operation of the 7th of this invention is explained. Drawing 9 (A) is the top view which looked at the semi-conductor wafer 1 before piece[of an individual]-izing from the rear-face (circuit agenesis side) side in the manufacture approach of the gestalt this operation. With an example shown in drawing 9 (A), the field classified by the dotted line shows one semiconductor device. Drawing 9 (B) shows the semiconductor device 87 after being piece[of an individual]-ized. Thus, with the gestalt of this operation, as were shown in drawing 9 (A), and an index mark is given to the rear face of the

semi-conductor wafer 1 in the phase of wafer level and it was shown in drawing 9 (B), it is characterized by arranging an index mark at each semiconductor device 87 after piece[of an individual]-izing. It is the same as that of the gestalt of implementation of the above 6th at this point.

[0051] In the gestalt of this operation, characteristic one has an index mark in the point which shows the direction of [at the time of mounting a semiconductor device 87 in a mounting substrate] that it is a notation. With the gestalt of this operation, the index mark to which the segment which has the starting point and a terminal point, and the mark which shows that it is a terminal point were given is used. Specifically, this index mark consists of arrow heads.

[0052] Since it is difficult to arrange the index mark formed in a semiconductor device with the miniaturization of a semiconductor device, the index mark which does not need a large area comparatively is needed. In order to realize this, as shown in drawing 8, how to give only a black dot to each semiconductor device in the state of a wafer can be considered. However, by this approach, although a black dot is given to each semiconductor device, the black dot given to each semiconductor device after being piece[of an individual]-ized is predicted, also when not functioning as an index mark. That is, in an index-mark

grant process, when a gap arises in the alignment of the location of each semiconductor device, and the equipment (for example, nozzle part of ink jet equipment) which gives an index, after the index mark of all semiconductor devices has shifted, it will be given. It may be given to the semiconductor device with which the index mark which should be given essentially adjoined. Therefore, although the 1st pin of the piece[of an individual]-ized semiconductor device originally exists in the lower left of space, it may be distinguished as if it existed in the upper right.

[0053] Drawing 10 (A) shows the case where a gap arises in the alignment of the location of each semiconductor device, and the equipment (for example, nozzle part of ink jet equipment) which gives an index, in the index-mark grant process. Drawing 10 (B) is drawing showing each semiconductor device piece[of an individual]-ized from the semi-conductor wafer shown in drawing 10 (A). Even if the above alignment gaps arise according to the gestalt of this operation so that it may understand, if drawing 10 (B) is seen, to each piece[of an individual]-ized semiconductor device, it can distinguish certainly that the 1st pin exists in the lower left of space. Drawing 10 (C) shows the case where the dimension of each semiconductor device piece[of an individual]-ized is larger than the semiconductor device shown in drawing

10 (B). Though the dimensions of each semiconductor device piece[of an individual]-ized differ according to the gestalt of this operation, to each piece[of an individual]-ized semiconductor device, it can distinguish certainly that the 1st pin exists in the lower left of space.

[0054] As mentioned above, according to the gestalt of this operation, the index mark other than the effectiveness described with the gestalt of implementation of the above 6th can be arranged also about the semiconductor device of small size. Furthermore, according to the gestalt of this operation, an index mark can be arranged, without taking into consideration the alignment gap with the location of each semiconductor device, and the equipment (for example, nozzle part of ink jet equipment) which gives an index. Furthermore, according to the gestalt of this operation, an index mark can be arranged, without taking the dimension of each semiconductor device into consideration.

[0055] As mentioned above, although the suitable operation gestalt of the semiconductor device concerning this invention and its manufacture approach was explained referring to an accompanying drawing, this invention is not limited to this example. If it is this contractor, it will be clear that it can hit on an idea for various kinds of examples of modification or examples of correction

in the criteria of the technical thought indicated by the claim, and it will be understood as what naturally belongs to the technical range of this invention also about them.

[0056] For example, with the gestalt of the above-mentioned implementation, although the manufacture approach of the semiconductor device by the wafer level CSP was explained, the semiconductor device (drawing 3 - drawing 5) explained with the gestalt of the above 1st - the 3rd implementation is not restricted, when manufactured with the wafer level CSP.

[0057] Moreover, although the external connection terminal is prepared in grid-like (letter of matrix) all in drawing 3 - drawing 5 , this invention is not limited to this. Even if it is the case where the external connection terminal is not prepared in the shape of a part of grid (letter of a matrix), it is possible to operate this as an index mark by changing some [which is prepared] configurations of an external connection terminal.

[0058] Moreover, although the gestalt of the 3rd operation explained the case where formed in one the external connection terminal which adjoins the external connection terminal of four corners, and it, and it was referred to as one external connection terminal 53a (drawing 5), this invention is not limited to this. The external connection terminal

which formed two or more external connection terminals in one is not formed near the center of a semiconductor device, but should just be formed in the location which can function as an index mark.

[0059] Moreover, the index mark is explained as a mark to show the mounting direction of the semiconductor device to a mounting substrate at a part of gestalt of the above-mentioned implementation. However, this index mark may be a mark which shows the direction of the semiconductor device itself. That is, an index mark may be a mark which shows the location where one pin mark of a semiconductor device exists.

[0060] Moreover, the external connection terminal which functions as an index mark is explained by the gestalt of the above-mentioned implementation as a terminal electrically connected to the electronic circuitry. However, this index mark may be the terminal which is not electrically connected to the electronic circuitry, and the so-called non connection pin.

[0061] Moreover, although being changed suitably is assumed with the advance of a semiconductor manufacturing technology, about the process which is directly unrelated to the description of this invention, each production process shown with the gestalt of the above-mentioned implementation is not limited to the process of the gestalt of the above-mentioned implementation, but

can be changed suitably.

[0062]

[Effect of the Invention] It will be as follows, if the main effectiveness of this invention is enumerated as explained above.

** Since the process itself which gives an index mark becomes unnecessary, the positioning activity for doubling an index mark with the location of each semiconductor device becomes unnecessary.

** Since the configuration of an external connection terminal is used as an index mark, unlike the conventional technique which formed the index mark using ink, it is avoidable that an index mark secedes from a semiconductor device. Moreover, unlike the conventional technique which formed the index mark using the laser beam, degradation of the circuit pattern inside equipment can be prevented.

** One side (diameter) is 400-micrometer (0.4mm) extent, and the magnitude of an external connection terminal can recognize the configuration with the naked eye. For this reason, the mounting direction can be distinguished easily.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the explanatory view

showing the production process of a chip-size package.

[Drawing 2] It is the explanatory view showing the production process following drawing 1.

[Drawing 3] It is the top view of the semiconductor device concerning the gestalt of the 1st operation.

[Drawing 4] It is the top view of the semiconductor device concerning the gestalt of the 2nd operation.

[Drawing 5] It is the top view of the semiconductor device concerning the gestalt of the 3rd operation.

[Drawing 6] It is the top view of the semiconductor device concerning the gestalt of the 4th operation.

[Drawing 7] It is the top view of the semiconductor device concerning the gestalt of the 5th operation.

[Drawing 8] It is the top view of the semiconductor device concerning the gestalt of the 6th operation.

[Drawing 9] It is the top view of the semiconductor device concerning the gestalt of the 7th operation.

[Drawing 10] It is the top view of the semiconductor device concerning the gestalt of the 7th operation.

[Description of Notations]

1 Semi-conductor Wafer

2 Copper Post

3 Closure Resin

4 Abrasive Material

5 External Connection Terminal

6 Grinding Tape

7 Cutting Cutting Edge

8 Semiconductor Device

9 Wafer Carrier

10 Pickup Collet

11 Embossing Carrier Tape

12 Pressure-from-Below Device
(Needle-like Pin)

13 Insulator Layer

14 Electrode Pad

15 Insulator Layer

16 Wiring

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-17619

(P2003-17619A)

(43)公開日 平成15年1月17日(2003.1.17)

(51)Int.Cl.⁷

H 0 1 L 23/12

識別記号

5 0 1

F I

H 0 1 L 23/12

テマコード*(参考)

5 0 1 C

審査請求 有 請求項の数19 O L (全 12 頁)

(21)出願番号 特願2002-121900(P2002-121900)

(22)出願日 平成14年4月24日(2002.4.24)

(31)優先権主張番号 特願2001-132335(P2001-132335)

(32)優先日 平成13年4月27日(2001.4.27)

(33)優先権主張国 日本(J P)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 古屋 裕基

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 井口 明久

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 100095957

弁理士 亀谷 美明 (外2名)

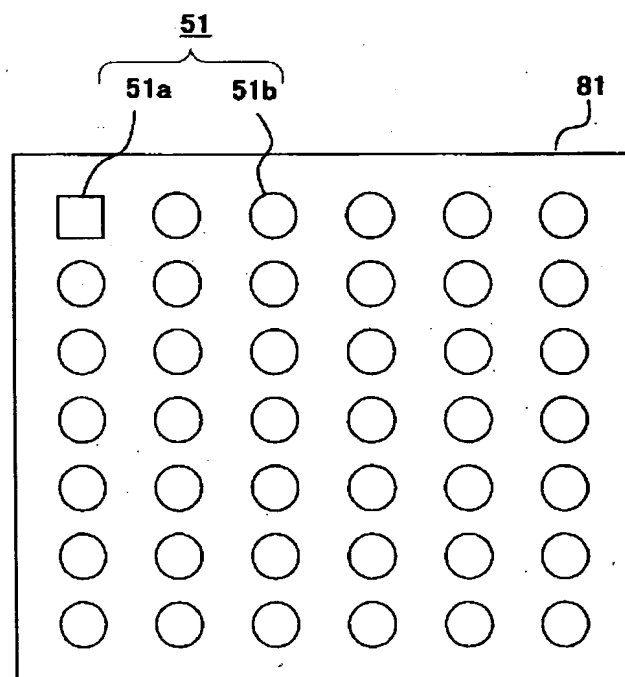
最終頁に続く

(54)【発明の名称】 半導体装置および半導体装置の製造方法

(57)【要約】

【課題】 インデックスマークの付与工程の簡略化、離脱の防止などを図ることの可能な半導体装置および半導体装置の製造方法を提供する。

【解決手段】 回路素子が形成された主表面を有する半導体ウェハ1と、半導体ウェハの主表面上方に形成され回路素子と電氣的に接続された複数の電極パッドと、半導体ウェハの主表面上部を封止する封止樹脂3と、封止樹脂の表面から突出するよう主表面上方に形成された複数の外部接続端子であって、所定の間隔で実質的に規則的に配列された外部接続端子51とを有する半導体装置において、複数の外部接続端子のうち、少なくとも1の外部接続端子の形状を他の外部接続端子の形状と異なるものとしたことを特徴とする。外部接続端子の形状をインデックスマークとして利用することができるので、インデックスマークの付与工程の簡略化、離脱の防止などを図ることが可能である。



(2)

【特許請求の範囲】

【請求項1】 回路素子が形成された主表面を有する半導体基板と、前記半導体基板の主表面上方に形成され前記回路素子と電気的に接続された複数の電極パッドと、前記半導体基板の主表面上部を封止する封止樹脂と、前記封止樹脂の表面から突出するよう前記主表面上方に形成された複数の外部接続端子であって、所定の間隔で実質的に規則的に配列された前記外部接続端子とを有する半導体装置において、複数の前記外部接続端子のうち、少なくとも1の外部接続端子の形状を他の外部接続端子の形状と異なるものとしたことを特徴とする半導体装置。

【請求項2】 前記形状の異なる外部接続端子は、複数の前記外部接続端子のうち、前記半導体基板の4隅近傍に位置する外部接続端子のいずれかであることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記形状の異なる外部接続端子は、複数の前記外部接続端子のうち、前記半導体基板の中央付近の外部接続端子以外のいずれかであることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記形状の異なる外部接続端子は、複数の前記外部接続端子を一体に形成した外部接続端子であることを特徴とする請求項1に記載の半導体装置。

【請求項5】 複数の前記外部接続端子は、前記半導体基板の主表面上部に実質的に行列状に配置されていることを特徴とする請求項1乃至4いずれかに記載の半導体装置。

【請求項6】 所定の機能を有する回路素子が形成された主表面を有する半導体基板と、前記半導体基板の主表面上方に形成され前記回路素子と電気的に接続された複数の電極パッドと、前記半導体基板の主表面上部を封止する封止樹脂と、前記封止樹脂の表面から突出するよう前記主表面上方に形成された複数の外部接続端子であって、所定の間隔で実質的に規則的に配列された前記外部接続端子とを有する半導体装置において、前記半導体装置の少なくとも1の側面の色彩を他の側面の色彩と異なるものとしたことを特徴とする半導体装置。

【請求項7】 ウェハ状態で半導体装置を封止した後、個々の半導体装置を前記ウェハから切り出すことにより製造される半導体装置の製造方法において、個々の半導体装置を前記ウェハから切り出す前の段階で、前記半導体装置の方向を示す情報を、前記ウェハの裏面に付与することを特徴とする、半導体装置の製造方法。

【請求項8】 1つの半導体装置に対して前記情報が2以上付与されることを特徴とする、請求項7に記載の半導体装置の製造方法。

【請求項9】 前記情報は、前記半導体装置を実装基板に実装する際の方向を示す記号であることを特徴とする、請求項7または8に記載の半導体装置の製造方法。

【請求項10】 前記記号は、始点と終点とを有する線

分と、前記終点に付加された終点を示すマークとで構成されていることを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】 前記記号は、矢印であることを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】 回路素子が形成された第1の主表面と、前記第1の主表面に実質的に対向する第2の主表面とを有する半導体基板と、前記第1の主表面上部に形成され、前記回路素子と電気的に接続された複数の外部端子と、始点及び終点とを有する線分と、前記終点に付加された終点マークとで構成され、前記第2の主表面上に形成された方向判別マークとを備えたことを特徴とする半導体装置。

【請求項13】 前記方向判別マークは、前記第2の主表面上に複数個形成されていることを特徴とする請求項12に記載の半導体装置。

【請求項14】 前記方向判別マークは、矢印であることを特徴とする請求項12または13のいずれかに記載の半導体装置。

【請求項15】 第1の主表面と、前記第1の主表面に実質的に対向する第2の主表面と、複数のスクライブラインによって区画された複数の半導体装置形成部を有する半導体ウェハを準備する工程と、前記半導体装置形成部の前記第1の主表面に回路素子を形成する工程と、前記半導体装置形成部の前記第1の主表面上部に前記回路素子と電気的に接続される複数の外部端子を形成する工程と、前記第2の主表面に半導体装置の方向を示す情報を形成する工程と、前記スクライブラインを研削し前記各半導体装置形成部を個片化することによって前記半導体装置を得る工程とを有することを特徴とする半導体装置の製造方法。

【請求項16】 前記半導体装置の方向を示す情報は、1つの前記半導体装置形成部に対して2以上形成されることを特徴とする請求項15に記載の半導体装置の製造方法。

【請求項17】 前記情報は、前記半導体装置を実装基板に実装する際の方向を示す記号であることを特徴とする請求項16に記載の半導体装置の製造方法。

【請求項18】 前記記号は、始点と終点とを有する線分と、前記終点に付加された終点を示すマークとで構成されていることを特徴とする請求項17に記載の半導体装置の製造方法。

【請求項19】 前記記号は、矢印であることを特徴とする請求項18に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チップサイズパッケージ (Chip Size Package: CSP) およびその製造方法にかかり、特に、実装基板に対する実装方向及びパッケージ自身の方向を示す文字や記

(3)

号などの情報（以下、インデックスマークと称する）の構造に特徴を有する技術である。

【0002】

【従来の技術】半導体装置の実装基板上における高密度な実装を実現するための技術として、半導体装置のパッケージの大きさを、半導体チップ（ベアチップ）とほぼ同じか、わずかに大きい寸法とした、チップサイズパッケージ（Chip Size Package：CSP）と称される技術がある。実装基板に対する接続端子（外部接続端子）を、略正方形形状の半導体チップの主面（回路形成面）に格子形状に配置することにより、パッケージ化された半導体装置の大きさを、半導体チップとほぼ同じか、わずかに大きい寸法にすることができる。このようなチップサイズパッケージによれば、実装基板に対する半導体装置の実装面積が小さくなるとともに、半導体チップ上の電極と外部接続端子とを結ぶ配線長が短くなり、半導体装置の動作速度を向上させることができる。

【0003】また、ウェハ状態のまま半導体装置をパッケージ化する技術（以下、ウェハレベルCSPと称する）も提案されている。ウェハレベルCSPは、個々の半導体チップをウェハから切り出す前の段階で、そのパッケージ化を施す技術である。ウェハレベルCSPによれば、パッケージプロセスをウェハプロセスと一体にすることができるので、製造コストを大幅に下げられるという利点がある。

【0004】半導体装置にはインデックスマークが付与される。このインデックスマークは、実装基板に対する半導体装置の実装方向を示すためのマークである。ウェハレベルCSPのような半導体装置では、このインデックスマークが、一般に、半導体装置の裏面（回路非形成面）側に配置され、実装基板に対する半導体装置の実装の際に、半導体基板の実装方向を視覚的に判別できるようになっている。

【0005】

【発明が解決しようとする課題】しかしながら、従来技術でのインデックスマーク表示方法では個々の半導体装置ごとにインデックスマークを付与するため、以下のような問題点があった。

①半導体装置ごとに、インデックスマークと半導体装置との位置関係の調整が必要となる。これにより、処理能力が制限されかつインデックスマークを付与する工程が必要となる。

②インデックスマークが例えばインクあるいはレーザー光等を用いて形成される場合、インクの場合は剥がれ落ちて判別できない場合が発生し、またレーザー光の場合はシリコン層をレーザー光が透過し内部の回路パターンを劣化させてしまう。

③半導体装置のサイズが小さくなると、半導体装置とインデックスマークの位置との関係の調整が困難となる。

4

また、インデックスマークも小さくなり、実装基板に対する実装の際に、容易に実装方向を判別できない。

【0006】本発明は、従来の半導体装置が有する上記問題点に鑑みてなされたものであり、本発明の目的は、インデックスマークを付与する工程の簡略化を図ることの可能な、新規かつ改良された半導体装置および半導体装置の製造方法を提供することである。

【0007】また、本発明の別の目的は、インデックスマークの離脱や回路パターンの劣化を防止することの可能な、新規かつ改良された半導体装置および半導体装置の製造方法を提供することである。

【0008】また、本発明の別の目的は、半導体装置のサイズが小さくなくても、外形寸法とインデックスマークの位置関係の調整が容易に行え、かつ、実装基板に対する実装の際に、容易に実装方向を判別することの可能な、新規かつ改良された半導体装置および半導体装置の製造方法を提供することである。

【0009】

【課題を解決するための手段】上記課題を解決するため、本発明の第1の観点によれば、回路素子が形成された主表面を有する半導体基板と、半導体基板の主表面上方に形成され回路素子と電気的に接続された複数の電極パッドと、半導体基板の主表面上部を封止する封止樹脂と、封止樹脂の表面から突出するよう主表面上方に形成された複数の外部接続端子であって、所定の間隔で実質的に規則的に配列された外部接続端子とを有する半導体装置において、複数の外部接続端子のうち、少なくとも1の外部接続端子の形状を他の外部接続端子の形状と異なるものとしたことを特徴とする、半導体装置が提供される。

【0010】かかる半導体装置によれば、外部接続端子の形状をインデックスマークとして利用することができる。このため、以下のような優れた効果がある。

①インデックスマークを付与する工程自体が不要となるため、インデックスマークを個々の半導体装置の位置に合わせるための位置調整作業が不要となる。

②外部接続端子の形状をインデックスマークとして利用しているため、インデックスマークをインクを用いて形成していた従来技術と異なり、インデックスマークが半導体装置から離脱することを回避できる。また、インデックスマークをレーザー光を用いて形成していた従来技術と異なり、装置内部の回路パターンの劣化を防止できる。

③外部接続端子の大きさは、一辺（直径）が400μm（0.4mm）程度であり、肉眼でその形状を認識することができる。このため、容易に実装方向を判別することができる。

【0011】形状の異なる外部接続端子を、半導体基板の4隅近傍に位置する外部接続端子のいずれかとすれば、容易に実装方向を判別することができる。ただし、

(4)

5

厳密に4隅部分とする必要はなく、4隅部分の周辺であっても、実装方向を判別することが可能な位置に、形状の異なる外部接続端子を設ければよい。すなわち、形状の異なる外部接続端子が、所定の間隔で実質的に規則的に配列された外部接続端子のうち、中央付近の外部接続端子以外のいずれかであればよい。端子レイアウト設計上、4隅部分に外部接続端子を設けない場合であっても、形状の異なる外部接続端子を設けることができ、端子レイアウト設計に自由度が増加する。

【0012】また、接地ラインに接続される外部接続端子のように、複数の外部接続端子が同一の機能を有する場合がある。このような場合に、それら複数の外部接続端子を一体に形成することにより、他の外部接続端子と形状を異なるものとし、これをインデックスマークとして利用することも可能である。

【0013】また、上記課題を解決するため、本発明の他の観点によれば、所定の機能を有する回路素子が形成された主表面を有する半導体基板と、前記半導体基板の主表面上方に形成され前記回路素子と電気的に接続された複数の電極パッドと、前記半導体基板の主表面上部を封止する封止樹脂と、前記封止樹脂の表面から突出するよう前記主表面上方に形成された複数の外部接続端子であって、所定の間隔で実質的に規則的に配列された前記外部接続端子とを有する半導体装置において、前記半導体装置の少なくとも1の側面の色彩を他の側面の色彩と異なるものとしたことを特徴とする、半導体装置が提供される。

【0014】現状では、1層の面実装が主流であるが、実装密度を高める技術動向が変化し、多層構造化した実装を行う場合であっても、上下に配置する各半導体装置のインデックスマークが半導体装置の側面にあることから、実装基板に対して実装する際に容易に実装方向を確認することができる。

【0015】また、本発明のさらに他の観点によれば、ウェハ状態で半導体装置を封止した後に、個々の半導体装置を前記ウェハから切り出すことにより製造される半導体装置の製造方法において、個々の半導体装置を前記ウェハから切り出す前の段階で、前記半導体装置の方向を示す情報を、前記ウェハの裏面に付与することを特徴とする、半導体装置の製造方法が提供される。

【0016】インデックスマークをウェハレベルで付与することができるため、従来のように個片化された状態でインデックスマークを付与するために行っていた個々の半導体装置の位置調整が不要となる。そして、装置内部に形成されている配線パターンの傾き及び特定の1点のみを位置調整した後は、半導体装置の大きさに合わせてピッチ移動を入れながら、ウェハレベルで一括してインデックスマークを付与することができる。よってインデックスマークを付与する工程における処理時間の大幅な短縮が可能である。

6

【0017】上記製造方法において、1つの半導体装置に対してインデックスマークが2以上付与されることが好ましい。半導体装置の大きさに比べて十分に小さいインデックスマークを採用し、1つの半導体装置に対して2以上のインデックスマークを付与するようにすれば、半導体装置の位置概念にとらわれずに、ウェハレベルで一括してインデックスマークを付与することができる。半導体装置とインデックスマークとの位置調整が不要となるため、さらなる処理時間の短縮が可能である。

【0018】さらに、インデックスマークは、半導体装置を実装基板に実装する際の方向を示す記号であることが好ましい。文字からなるインデックスマークを配置できない小サイズの半導体装置に関してもインデックスマークを容易に配置することができ、実装基板に対する実装の際も、インデックスマークを容易に認識することができる。

【0019】

【発明の実施の形態】以下に添付図面を参照しながら、本発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。まず、一般的なウェハレベルCSP技術について、図1～図2を参照しながら説明する。

【0020】(A) 銅ポスト形成

まず、通常のウェハプロセスにより、半導体ウェハ1の主面(回路形成面)に所定の機能を有する電子回路(図示しない)が形成される。その後、開口部(図示しない)を有する絶縁膜13が主面上部に形成される。続いて、電極パッド14及びこの電極パッド14と電子回路とを接続する配線(図示しない)が形成される。電極パッド14は絶縁膜13上に形成される。次に、半導体ウェハ1の主面上全面に絶縁膜15が形成される。ホトリソグラフィ技術により、絶縁膜15には電極パッド14の表面の一部を露出する開口部が形成される。次に、露出された電極パッド14表面上及び絶縁膜15上に配線16が形成される。次に、半導体ウェハ1の主面上全面にレジストが塗布される。ホトリソグラフィ技術により、レジストには所定形状の開口部が形成される。この開口部は、配線16の表面上に位置する。その後、電気めっきを施すことにより、レジストに設けられた開口部内に銅からなる銅ポスト2が形成される。この銅ポスト2は、半導体装置の上方から見て格子状(行列状)に配置されている。この銅ポスト2は、半導体ウェハ1上に形成された電極パッド14および配線16と、後工程で銅ポスト2上に形成される外部接続端子5とを電気的に接続するための配線として機能する。なお、銅ポスト2を形成するためのレジストのパターンについては、さらに後述する。(図1(A))。

(5)

7

【0021】(B) 樹脂封止

次いで、銅ポスト2を完全に覆う高さまで半導体ウェハ1の主面の全面に対して封止樹脂3を充填する(図1(B))。封止樹脂3の充填は、トランスファーモールド法、ポッティング法、印刷法等により行われる。

【0022】(C) 樹脂研削

次いで、封止樹脂3に埋もれてしまっている各銅ポスト2の上面が露出するまで、研磨剤4によって封止樹脂3の表面を研削する(図1(C))。

【0023】(D) 外部接続端子形成

次いで、銅ポスト2の上面に、以下のような工程を実行することにより外部接続端子5を格子状(行列状)に形成する。この外部接続端子5は、個々に個片化された半導体装置と、半導体装置が実装される実装基板上の配線とを電気的に接続する端子として機能する。まず、外部接続端子5を形成するためのメタルマスクを準備する。このメタルマスクは、銅ポスト2の上面に外部接続端子5を形成しうるように、銅ポスト2の配置に対応した複数の開口部を有する。次いで、複数の開口部に対応する銅ポスト2上部に位置するようにメタルマスクを封止樹脂3の表面上に載置する。その後、このメタルマスク全域に、はんだペーストを流し込むことにより、外部接続端子5が形成される(図1(D))。なお、はんだペーストは封止樹脂3上では固着しないため、メタルマスクの開口部と銅ポスト2の上面との位置合わせが厳密に行われなくても、外部接続端子5を、銅ポスト2の上面に形成することができる。このため、メタルマスクの形状は、(A)銅ポスト形成工程におけるレジストの形状ほど厳密性を要求されない。以上の工程を経て、半導体ウェハ1上に、パッケージ化された多数の半導体装置が形成される。

【0024】(E) 個片化

次いで、半導体ウェハ1の裏面(回路非形成面)に研削テープ6を貼付した後、高速回転する切断刃7によって、個々の半導体装置8に個片化する(図1(E))。

【0025】(F) 出荷

研削テープ6上に接着されたままの半導体装置8は、ウェハキャリア9に載せられ、ピックアップコレット10の真下に位置するようにセットされる。そして、ピックアップコレット10に接続されたバキュームの吸引力と突き上げ機構(針状のピン)12による突き上げ力により、半導体装置8を研削テープ6より分離する(図2(F))。そして、個々の半導体装置8は、製品テストが行われた後、エンボスキャリアテープ11のエンボス接着孔11aに装填されて、製品として出荷される(図2(G))。

【0026】以上、一般的なウェハレベルCSP技術について説明した。以下の各実施の形態では、上述した一般的なウェハレベルCSP技術の各工程とは異なる工程を中心に説明し、他の工程については重複説明を省略す

8

る。

【0027】(第1の実施の形態)本発明の第1の実施の形態について説明する。図3は、本実施の形態の製造方法により製造された半導体装置81を主面側から見た平面図である。半導体装置81は、格子状(行列状)に配置された外部接続端子51のうち、4隅部分の外部接続端子51aの形状を他の外部接続端子51bの形状と異なるものとし、この外部接続端子51aを半導体装置81の実装方向を示すインデックスマークとして利用することを特徴としている。

【0028】かかる外部接続端子51の形成方法について説明すると、まず、(A)銅ポスト形成工程において、銅ポスト2を形成するためのレジストとして、図3に示したパターンを有するレジストを用いる。すなわち、図3に示したように、格子状(行列状)に配置する銅ポスト2のうち、4隅部分の銅ポストの形状を、他の銅ポストの形状と異なる形状として形成しうるように、レジストのパターンとして、図3に示したパターンを採用する。詳細には、外部接続端子51aに対応する箇所の開口部の断面形状が四角形であるレジストパターンが使用される。

【0029】さらに、(D)外部接続端子形成工程において、外部接続端子5を形成するためのメタルマスクとして、図3に示したパターンのメタルマスクを用いる。すなわち、図3に示したように、格子状(行列状)に配置する外部接続端子51のうち、4隅部分の外部接続端子51aの形状を、他の銅ポスト51bの形状と異なる形状となるように、メタルマスクのパターンとして、図3に示したパターンを採用する。詳細には、外部接続端子51aに対応する箇所の開口部の断面形状が四角形であるメタルマスクパターンが使用される。

【0030】なお、はんだペーストは、封止樹脂3上では固着しないため、メタルマスクの開口位置と銅ポスト2の上面との位置合わせが厳密に行われなくても、外部接続端子51の形状は、銅ポスト2の上面の形状により定まる。このため、(D)外部接続端子形成工程におけるメタルマスクの開口部の形状は、(A)銅ポスト形成工程におけるレジストの開口部の形状ほど厳密性を要求されない。

【0031】また、はんだペーストはリフロー時の熱で多少変形するが、半導体装置81を上面から見た場合に、4隅の外部接続端子51aの形状が異なることが判別できればよい。半導体装置81を上面から見た形状は、外部接続端子51の底面の形状、すなわち、銅ポスト2の上面の形状により決まるため、リフロー時におけるはんだペーストの多少の変形は、外部接続端子51aをインデックスマークとして利用することに影響を与えるものではない。

【0032】以上の工程を経て、格子状(行列状)に配置された外部接続端子51のうち、4隅部分の外部接続

50

9

端子51aの形状を他の外部接続端子51bの形状と異なるものとした半導体装置81が製造される。

【0033】以上説明したように、本実施の形態によれば、外部接続端子51の形状をインデックスマークとして利用することができる。このため、以下のような優れた効果がある。

①インデックスマークを付与するための専用の工程が不要となるため、インデックスマークを個々の半導体装置の位置に合わせるための位置調整作業が不要となる。

②外部接続端子の形状をインデックスマークとして利用しているため、インデックスマークをインクを用いて形成していた従来技術と異なり、インデックスマークが半導体装置から離脱することを回避できる。また、インデックスマークをレーザ光を用いて形成していた従来技術と異なり、装置内部の回路パターンの劣化を防止できる。

③外部接続端子5の大きさは、一辺（直径）が400μm（0.4mm）程度であり、肉眼でその形状を認識することができる。このため、容易に実装方向を判別することができる。

【0034】（第2の実施の形態）本発明の第2の実施の形態について説明する。図4は、本実施の形態の製造方法により製造された半導体装置82を主面側から見た平面図である。半導体装置82は、格子状（行列状）に配置された外部接続端子52のうち、中央付近の外部接続端子（図中の領域C）以外の外部接続端子52aの形状を他の外部接続端子52bの形状と異なるものとし、この外部接続端子52aを半導体装置82の実装方向を示すインデックスマークとして利用することを特徴としている。

【0035】かかる外部接続端子52の形状を形成するために、（A）銅ポスト形成工程において図4に示したパターンのレジストを用いる点、および、（D）外部接続端子形成工程において図4に示したパターンのメタルマスクを用いる点については、上記第1の実施の形態の場合と同様である。

【0036】形状の異なる外部接続端子をインデックスマークとして利用するためには、対称性を有しない中央付近（図中の領域C）の外部接続端子以外のいずれかであればよい。この点、本実施の形態によれば、上記第1の実施の形態と異なり、インデックスマークとして機能する外部端子は、必ずしも格子状（行列状）の4隅部分に設けられなくてもよい。このため、端子レイアウト設計上、格子状（行列状）の4隅部分に外部接続端子を設けない場合であっても、インデックスマークを設けることができ、端子レイアウト設計に自由度が生じる。

【0037】（第3の実施の形態）本発明の第3の実施の形態について説明する。図5は、本実施の形態の製造方法により製造された半導体装置83を主面側から見た平面図である。半導体装置83は、格子状（行列状）に配

(6)

10

置された外部接続端子53のうち、4隅部分の外部接続端子とそれに隣接する外部接続端子とを一体に形成し、1つの外部接続端子53aとすることにより、この外部接続端子53aを半導体装置83の実装方向を示すインデックスマークとして利用することを特徴としている。

【0038】外部接続端子には、例えば接地ラインに接続されるために設けられる端子のように、複数の端子が同一の機能のために設けられる場合がある。このような場合に、2つの外部接続端子を結合して、1つの外部接続端子53aとすることができる。そして、かかる形状の異なる外部接続端子53aを形成することにより、その外部接続端子53aをインデックスマークとして利用することができる。

【0039】かかる外部接続端子53の形状を形成するためには、図1（A）に示された工程において、同一機能の複数の電極パッド（例えば、電子回路に接地電位を供給するための電極パッド）を、絶縁膜15上の配線16によって互いに接続する。その後、図5に示した断面形状の開口部を有するレジストを用いて銅ポスト2を形成する。すなわち、インデックスマークとして使用する外部接続端子53aに対応する配線16表面上部及び他の外部接続端子53bに対応する配線16表面上部を露出する図5のようなレジストを使用して銅ポスト2が形成される。その後、図1（D）に示された外部接続端子形成工程において、図5に示した断面形状の開口部を有するメタルマスクを用いて外部接続端子が形成される。すなわち、インデックスマークとして使用する外部接続端子53aに対応するポスト3表面上部及び他の外部接続端子53bに対応するポスト3表面上部を露出する図5のようなメタルマスクを使用して外部接続端子が形成される。

【0040】（第4の実施の形態）本発明の第4の実施の形態について説明する。図6（A）は、本実施の形態の製造方法により製造された半導体装置84の斜視図である。半導体装置84は、一の側面84aの色彩を他の側面84bの色彩と異なるものとしたことを特徴としている。着色の有無や色彩などを組み合わせることにより、種々の情報を保有させることができる。

【0041】半導体装置の側面への着色は、図2に示した（E）半導体装置の出荷工程において、半導体装置がピックアップコレット10により吸引された状態で行うことが可能である。

【0042】チップサイズパッケージの実装方法としては、1層の面実装が主流であるが、実装密度を高める技術動向が変化し、図6（B）に示したように、多層構造化した実装を行う場合であっても、上下に配置する各半導体装置のインデックスマークが半導体装置の側面にあることから、実装基板に対して実装する際に容易に実装方向を確認することができる。

【0043】（第5の実施の形態）本発明の第5の実施

(7)

11

の形態について説明する。図7 (A) は、本実施の形態の製造方法において、個片化する前の半導体ウェハ1を裏面(回路非形成面)側から見た平面図である。図7

(A) に示した一例では、点線により区分される領域が一つの半導体装置を示している。図7 (B) は個片化された後の半導体装置85を示している。このように、本実施の形態では、図7 (A) に示したように、ウェハレベルの段階で半導体ウェハ1の裏面にインデックスマークを付与し、図7 (B) に示したように、個片化した後の各半導体装置85にインデックスマークが配置されることを特徴としている。

【0044】本実施の形態では、インデックスマークとして、文字情報(××× ABCD)と、その文字情報の図中左下の黒丸とにより、半導体装置の種類、実装基板に対する半導体装置の実装方向、半導体装置自身の方向などの情報を持たせている。

【0045】図7 (B) に示したように、個片化された後の半導体装置に対して、位置ずれすることなく適切にインデックスマークが付与されるためには、個々の半導体装置のサイズに対応させてインデックスマークを付与することが必要となる。個々の半導体素子に文字情報等を対応させるには、半導体ウェハ1の形状(オリフラ)を用いて位置決めする方法や、半導体ウェハ1の裏面から内部パターンを透視して位置決めする方法などを採用することができる。

【0046】そして、装置内部に形成されている配線パターンの傾き及び特定の1点のみを位置調整した後は、個々の半導体装置の大きさに合わせてピッチ移動を行いながら、ウェハレベルで一括してインデックスマークを付与することができる。このように、本実施の形態によれば半導体装置に形成するインデックスマークをウェハレベルで付与することができるため、従来のように個片化された状態でインデックスマークを付与するために行っていた、個々の半導体装置とインデックスマークを付与するための装置との位置調整が不要となる。よってインデックスマークを付与する工程における処理時間の大幅な短縮が可能である。

【0047】(第6の実施の形態) 本発明の第6の実施の形態について説明する。図8 (A) は、本実施の形態の製造方法において、個片化する前の半導体ウェハ1を裏面(回路非形成面)側から見た平面図である。図8 (A) に示した一例では、点線により区分される領域が一つの半導体装置を示している。図8 (B) は個片化された後の半導体装置86を示している。このように、本実施の形態では、図8 (A) に示したように、ウェハレベルの段階で半導体ウェハ1の裏面にインデックスマークを付与し、図8 (B) に示したように、個片化した後の各半導体装置86にインデックスマークが配置されることを特徴としている。この点では、上記第5の実施の形態と同様である。

12

【0048】本実施の形態において特徴的なのは、インデックスマークを個々の半導体装置87の大きさよりも十分に小さいものとした点にある。すなわち、個々の半導体装置86、(図8 (A) において点線により区画される領域) とインデックスマークとの相対的な位置調整を行うことなく、半導体ウェハ1の裏面にインデックスマークを付与した場合であっても、少なくとも1つのインデックスマークが個々の半導体装置に付与される程度の大きさに、インデックスマークの大きさが設定されている。

【0049】以上のように、本実施の形態によれば、1つの半導体装置86に複数のインデックスマークを付与することで、半導体装置の位置概念にとらわれずインデックスマークを配置することができる。また、半導体装置の個片化の後は、各半導体装置には少なくとも1つのインデックスマークが配置されていることで必要となる情報を把握することができる。

【0050】(第7の実施の形態) 本発明の第7の実施の形態について説明する。図9 (A) は、本実施の形態の製造方法において、個片化する前の半導体ウェハ1を裏面(回路非形成面)側から見た平面図である。図9

(A) に示した一例では、点線により区分される領域が一つの半導体装置を示している。図9 (B) は個片化された後の半導体装置87を示している。このように、本実施の形態では、図9 (A) に示したように、ウェハレベルの段階で半導体ウェハ1の裏面にインデックスマークを付与し、図9 (B) に示したように、個片化した後の各半導体装置87にインデックスマークが配置されることを特徴としている。この点では、上記第6の実施の形態と同様である。

【0051】本実施の形態において特徴的なのは、インデックスマークが、半導体装置87を実装基板に実装する際の方向を示す記号であるという点にある。本実施の形態では、始点と終点とを有する線分と、それが終点であることを示すマークが付与されたインデックスマークが使用される。具体的にはこのインデックスマークは、矢印で構成されている。

【0052】半導体装置の小型化に伴い、半導体装置に形成するインデックスマークを配置することが困難 became ため、比較的大面積を必要としないインデックスマークが必要となる。これを実現するために、図8に示すように、ウェハ状態で黒丸のみを個々の半導体装置に付与する方法が考えられる。しかし、この方法では、黒丸が個々の半導体装置に付与されるものの、個片化された後の個々の半導体装置に付与された黒丸は、インデックスマークとして機能しない場合も予測される。すなわち、インデックスマーク付与工程において、個々の半導体装置の位置と、インデックスを付与する装置(例えば、インジェクション装置のノズル部分)とのアライメントにずれが生じた場合、全ての半導体装置のインデックスマーク

(8)

13

がずれた状態で付与されてしまう。本来付与されるべきインデックスマークが隣接した半導体装置に付与されてしまう可能性がある。従って、個片化された半導体装置の第1ピンが本来紙面の左下に存在するにもかかわらず、右上に存在するかのように判別されてしまう場合がある。

【0053】図10(A)は、インデックスマーク付与工程において、個々の半導体装置の位置と、インデックスを付与する装置(例えば、インクジェット装置のノズル部分)とのアライメントにずれが生じた場合を示している。図10(B)は、図10(A)に示された半導体ウエハから個片化された個々の半導体装置を示す図である。図10(B)を見ればわかるように、本実施の形態によれば、仮に上記のようなアライメントずれが生じたとしても、個片化された個々の半導体装置には、第1ピンが紙面の左下に存在することを確実に判別することができる。図10(C)は、個片化される個々の半導体装置の外形寸法が、図10(B)に示された半導体装置よりも大きい場合を示している。本実施の形態によれば、個片化される個々の半導体装置の外形寸法が異なっていたとしても、個片化された個々の半導体装置には、第1ピンが紙面の左下に存在することを確実に判別することができる。

【0054】以上のように、本実施の形態によれば上記第6の実施の形態で記述した効果の他に、小サイズの半導体装置に関してもインデックスマークを配置することができる。さらに、本実施の形態によれば、個々の半導体装置の位置と、インデックスを付与する装置(例えば、インクジェット装置のノズル部分)とのアライメントずれを考慮することなくインデックスマークを配置することができる。さらに、本実施の形態によれば、個々の半導体装置の外形寸法を考慮することなくインデックスマークを配置することができる。

【0055】以上、添付図面を参照しながら本発明にかかる半導体装置およびその製造方法の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0056】例えば、上記実施の形態では、ウェハレベルCSPによる半導体装置の製造方法について説明したが、上記第1～第3の実施の形態で説明した半導体装置(図3～図5)は、ウェハレベルCSPにより製造される場合に限らない。

【0057】また、図3～図5では外部接続端子が格子状(行列状)のすべてに設けられているが、本発明はこれに限定されない。格子状(行列状)の一部に外部接続端子が設けられていない場合であっても、設けられている外部接続端子の一部の形状を変更することにより、こ

14

れをインデックスマークとして機能させることが可能である。

【0058】また、第3の実施の形態では、4隅の外部接続端子とそれに隣接する外部接続端子とを一体的に形成し、1つの外部接続端子53aとした場合について説明したが(図5)、本発明はこれに限定されない。複数の外部接続端子を一体的に形成した外部接続端子が、半導体装置の中央付近に形成されておらず、インデックスマークとして機能できる位置に形成されていればよい。

【0059】また、上記実施の形態の一部では、インデックスマークが、実装基板に対する半導体装置の実装方向を示すためのマークとして説明されている。しかしながら、このインデックスマークは、半導体装置自体の方向を示すマークであっても良い。すなわち、インデックスマークは、半導体装置の1ピンマークが存在している位置を示すマークであっても良い。

【0060】また、上記実施の形態では、インデックスマークとして機能する外部接続端子が電子回路に電氣的に接続された端子として説明されている。しかしながら、このインデックスマークは、電子回路に電氣的に接続されていない端子、いわゆるノンコネクティブピンであっても良い。

【0061】また、上記実施の形態で示した各製造工程は、半導体製造技術の進歩に伴い、適宜変更されることが想定されるが、本発明の特徴に直接的に関係のない工程については、上記実施の形態の工程に限定されず、適宜変更可能である。

【0062】

【発明の効果】以上説明したように、本発明の主な効果を列挙すれば、以下の通りである。

①インデックスマークを付与する工程自体が不要となるため、インデックスマークを個々の半導体装置の位置に合わせるための位置調整作業が不要となる。

②外部接続端子の形状をインデックスマークとして利用しているため、インデックスマークをインクを用いて形成していた従来技術と異なり、インデックスマークが半導体装置から離脱することを回避できる。また、インデックスマークをレーザ光を用いて形成していた従来技術と異なり、装置内部の回路パターンの劣化を防止できる。

③外部接続端子の大きさは、一辺(直径)が400 μ m(0.4mm)程度であり、肉眼でその形状を認識することができる。このため、容易に実装方向を判別することができる。

【図面の簡単な説明】

【図1】チップサイズパッケージの製造工程を示す説明図である。

【図2】図1に続く製造工程を示す説明図である。

【図3】第1の実施の形態にかかる半導体装置の平面図である。

(9)

15

【図4】第2の実施の形態にかかる半導体装置の平面図である。

【図5】第3の実施の形態にかかる半導体装置の平面図である。

【図6】第4の実施の形態にかかる半導体装置の平面図である。

【図7】第5の実施の形態にかかる半導体装置の平面図である。

【図8】第6の実施の形態にかかる半導体装置の平面図である。

【図9】第7の実施の形態にかかる半導体装置の平面図である。

【図10】第7の実施の形態にかかる半導体装置の平面図である。

【符号の説明】

1 半導体ウェハ

2 銅ポスト

3 封止樹脂

4 研磨剤

5 外部接続端子

6 研削テープ

7 切断刃

8 半導体装置

9 ウェハキャリア

10 ピックアップコレット

11 エンボスキャリアテープ

12 突き上げ機構（針状のピン）

13 絶縁膜

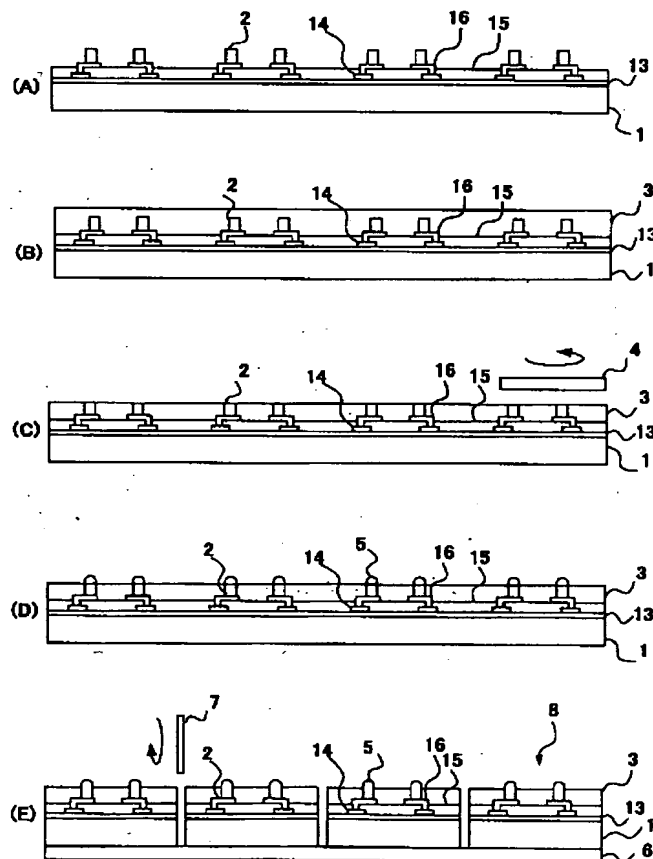
14 電極パッド

15 絶縁膜

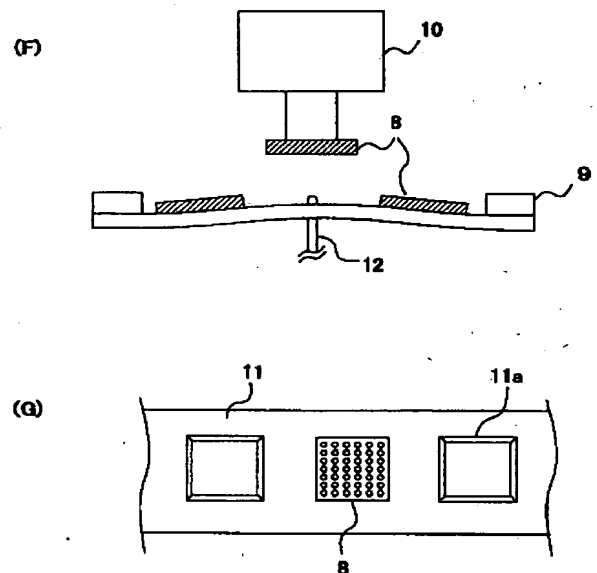
16 配線

16

【図1】

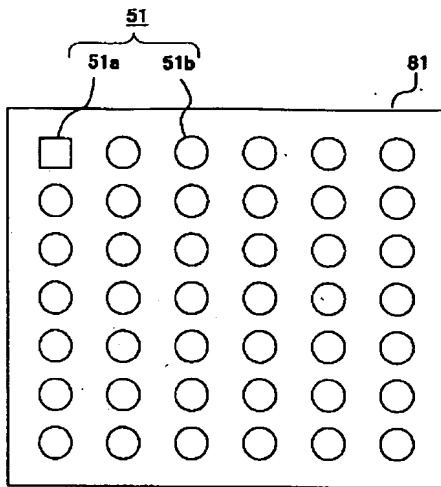


【図2】

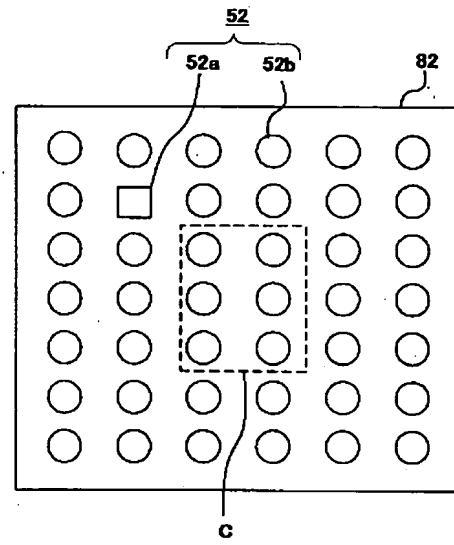


(10)

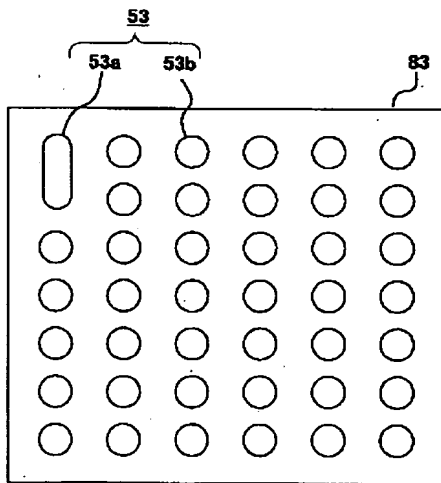
【図3】



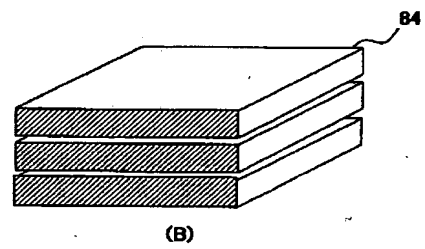
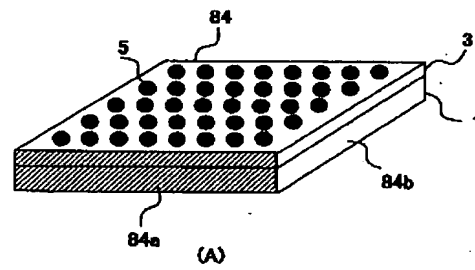
【図4】



【図5】

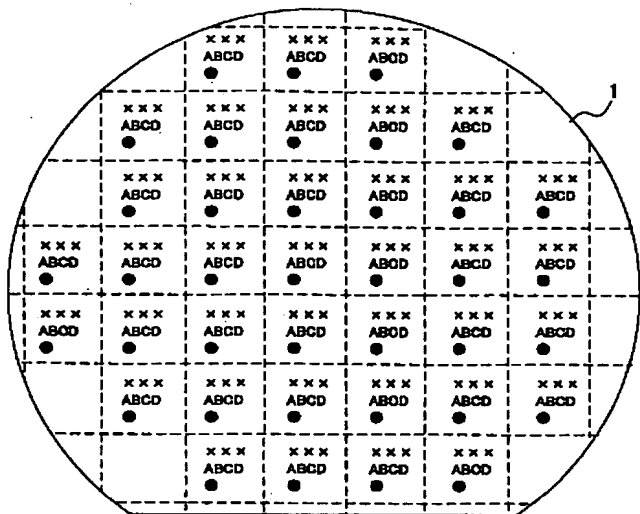


【図6】

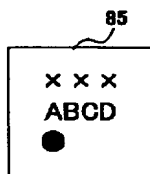


(11)

【図7】

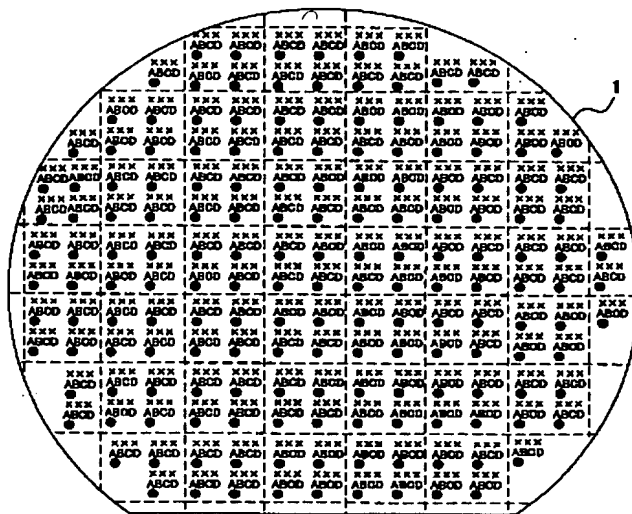


(A)

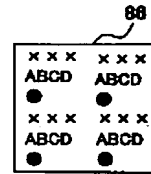


(B)

【図8】

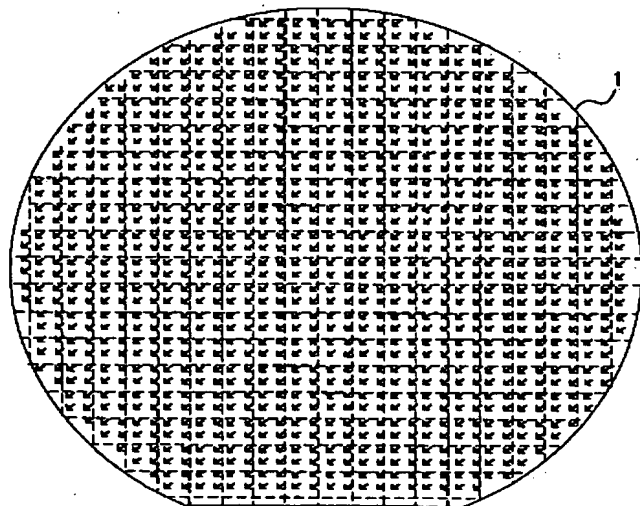


(A)

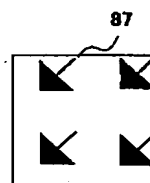


(B)

【図9】

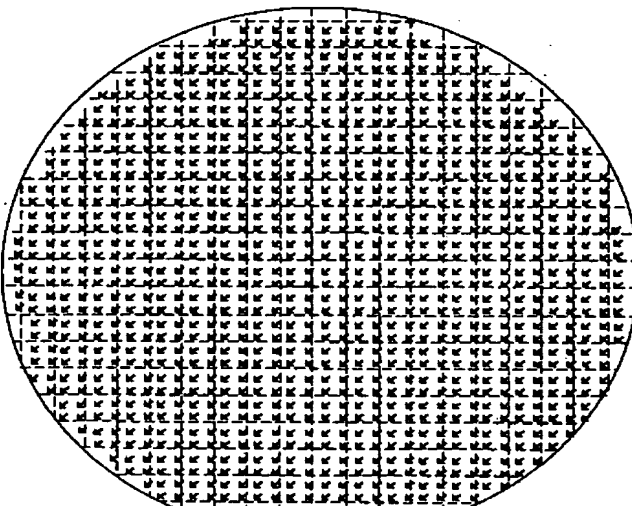


(A)

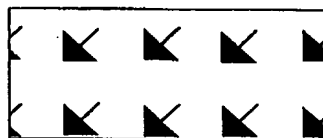


(B)

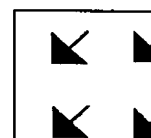
【図10】



(A)



(C)



(B)

(12)

フロントページの続き

(72)発明者 新井 健太郎
東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.